

KOREAN PATENT ABSTRACTS

(11) Issue number: **100796754 B**
(24) Issue date: Jan. 15, 2008

(21) Application number: **1020010050955** (71) Applicant: **SAMSUNG ELECTRONICS CO., LTD.**
(22) Date of filing: **23.08.2001** (72) Inventor: **CHOI, JUN HU
HONG, WAN SIK
JUNG, GWAN UK**
(30) Priority:

(51) Int. Cl **H01L 29/786**

(54) THIN FILM TRANSISTOR ARRAY PANEL FOR X-RAY DETECTOR AND METHOD FOR MANUFACTURING SAME

(57) Abstract:

PURPOSE: A TFT array panel for x-ray detector and a method for manufacturing same are provided to minimize the amount of leakage current by using a chemical vapor deposition layer. CONSTITUTION: A gate wire(22,24,26) including gate lines(22,24) and a gate electrode(26) is formed on an insulating substrate(10). A gate insulating layer(30) is deposited on the gate wire(22,24,26). A semiconductor layer(40) is formed on the gate insulating layer(30). Data wires(65,66,68) including a data line, a source electrode(65), and a drain electrode(66) are formed on the gate insulating layer(30). A photodiode is formed with a lower electrode(68) formed on a pixel region, an optical conductive layer(70) formed on the lower electrode(68), and an upper electrode(80) formed on the optical conductive layer(70). A chemical vapor deposition layer(90) is formed on the data wires(65,66,68) and the photodiode. A bias wire(104) is formed on the chemical vapor deposition layer(90). The bias wire(104) is connected with the upper electrode(80) through the first contact hole(94).

copyright KIPO 2003

Legal Status

Date of request for an examination (20060818)
Notification date of refusal decision ()
Final disposal of an application (registration)
Date of final disposal of an application (20071210)
Patent registration number (1007967540000)
Date of registration (20080115)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent ()

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

Date of extinction of right ()

(19) 대한민국특허청(KR)	(45) 공고일자 2008년01월22일
(12) 등록특허공보(B1)	(11) 등록번호 10-0796754
	(24) 등록일자 2008년01월15일
(51) Int. Cl.	(73) 등록권자 삼성전자주식회사
HO1L 29/786 (2006.01)	경기도 수원시 영통구 매단동 416
(21) 출원번호 10-2001-0050955	(72) 발행자 최준후
(22) 출원일자 2001년08월23일	서울특별시 서대문구 영천동 삼호아파트 108동 303호
심사청구일자 2006년08월18일	공완식
(65) 공개번호 10-2003-0017875	서울특별시 청구방법 1038
(43) 공개일자 2003년03월04일	번지 대우효령아파트 104동 402호
(56) 선형기술조사문현	정관육
ER1020020069415 A	경기도 수원시 팔달구 영통동 벽지풀주공아파트 911 동 1502호
	(74) 대리인 켄코리아특허법인

전체 청구항 수 : 총 6 항

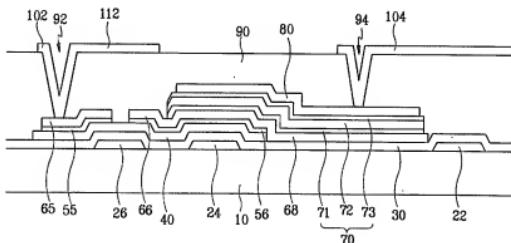
심사관 : 최광석

(54) X-ray 검출기용 박막 트랜지스터 어레이 기판 및 그제조 방법

(57) 요약

본in 기판 위에 게이트 배선이 형성되어 있고, 게이트 절연막이 게이트 배선을 뒤덮고 있다. 게이트 전극의 게이트 절연막 상부에는 반도체층이 형성되어 있으며, 반도체층의 상부에는 저항 접촉층이 형성되어 있다. 저항 접촉층 및 게이트 절연막 위에는 데이터 배선이 형성되어 있으며, 화소의 게이트 절연막 상부에는 데이터 배선의 드레인 전극과 연결되어 있는 하부 전극, N형의 불순물을 포함하는 비정질 규소층 및 무명한 도전 물질로 이루어진 상부 전극과 P형의 불순물을 포함하는 비정질 규소층으로 이루어진 광 도전체층 및 무명한 도전 물질로 이루어진 상부 전극의 상부에는 4,0 이하의 낮은 유전율을 가지는 화학 기상 증착막이 형성되어 있으며, 화학 기상 증착막은 데이터선 및 상부 전극을 각각 드러내는 접촉 구멍을 가진다. 이에, 화학 기상 증착막을 형성하기 전에 질화 규소와 같은 절연 물질로 이루어진 절연막을 추가로 형성할 수도 있다. 화학 기상 증착막의 상부에는 접촉 구멍을 통하여 상부 전극과 연결되어 있는 바이어스 배선과 다른 접촉 구멍을 통하여 데이터선과 연결되어 있으며 데이터선과 증침되어 있는 보조 데이터선이 형성되어 있다.

대표도 - 도2



특허청구의 범위

청구항 1

절연 기판 위에 형성되어 있으며, 게이트선 및 상기 게이트선에 연결되어 있는 게이트 전극을 포함하는 게이트 배선,

상기 게이트 배선을 덮는 게이트 절연막,

상기 게이트 절연막 상부에 형성되어 있는 반도체층,

상기 게이트 절연막 상부에 형성되어 있으며, 상기 게이트선과 교차하여 화소 영역을 정의하는 데이터선, 상기 데이터선과 연결되어 있으며 상기 반도체층 상부까지 연장되어 있는 소스 전극 및 상기 반도체층 상부에 위치하며 상기 소스 전극과 분리되어 있는 드레인 전극을 포함하는 데이터 배선,

상기 화소 영역에 형성되어 있으며, 상기 드레인 전극과 연결되어 있는 하부 전극, 상기 하부 전극 상부에 형성되어 있는 광 도전체층, 상기 광 도전체층 상부에 형성되어 있는 상부 전극을 포함하는 광 다이오드,

상기 데이터 배선 및 상기 광 다이오드를 덮고 있으며, 4.0 이하의 유전율을 가지는 화학 기상 증착막,

상기 화학 기상 증착막 상부에 형성되어 있으며, 상기 화학 기상 증착막의 제1 접촉 구멍을 통하여 상기 상부 전극과 연결되어 있는 바이어스 배선

을 포함하는 X-ray 검출기용 박막 트랜지스터 어레이 기판.

청구항 2

제1항에서,

상기 화학 기상 증착막은 SiOC 또는 SiOF를 포함하는 X-ray 검출기용 박막 트랜지스터 어레이 기판.

청구항 3

제1항에서,

상기 바이어스 배선과 동일한 층에 형성되어 상기 데이터선과 중첩되어 있으며, 상기 보호막의 제2 접촉 구멍을 통하여 상기 데이터선과 연결되어 있는 보조 데이터선을 더 포함하는 X-ray 검출기용 박막 트랜지스터 어레이 기판,

청구항 4

제3항에서,

상기 보조 데이터선은 상기 반도체층을 덮는 둘출부를 가지는 X-ray 검출기용 박막 트랜지스터 어레이 기판.

청구항 5

제1항에서,

상기 광 도전체층은 N형의 불순물이 도핑된 N형의 비정질 규소층, 불순물이 도핑되지 않은 비정질 규소층 및 P형의 불순물이 도핑된 P형의 비정질 규소층을 포함하는 X-ray 검출기용 박막 트랜지스터 어레이 기판.

청구항 6

제1항에서,

상기 화학 기상 증착막 하부에 형성되어 있으며 절화 규소 또는 산화 규소로 이루어진 보호막을 더 포함하는 X-ray 검출기용 박막 트랜지스터 어레이 기판.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<10> 본 발명은 박막 트랜지스터 어레이 기판 및 그 제조 방법에 관한 것으로, 더욱 상세하게는, 엑스레이(X-ray)를 검출하기 위해 사용되는 엑스레이 검출기의 한 기판인 박막 트랜지스터 어레이 기판 및 그 제조 방법에 관한 것이다.

<11> 엑스레이를 검출하기 위해 사용되는 엑스레이 검출기도 박막 트랜지스터 어레이 기판에는 박막 트랜지스터 어레이를 가지고 있으나, 예정 표시 장치와 달리 각각의 화소에는 P형의 불순물을 포함하는 P형의 광 도전체층과 불순물을 함유하지 않는 광 도전체층과 N형의 불순물을 포함하는 N형의 광 도전체층의 도전체층과 도전체층의 양 단에 전압을 인가하기 위한 두 전극을 포함하는 PIN 광 다이오드(photo diode) 어레이가 형성되어 있다. 이러한 X-ray 검출기는 외부로부터 화소 전극으로 전달하는 화상 신호를 통하여 화상을 표시하는 예정 표시 장치와 다르게 외부로부터 조사되는 X-ray에 의해 PIN 광 다이오드에서 생성되는 전자를 바이어스 전압을 인가하여 외부로 전달함으로써 빛을 전기적인 신호로 변환하는 기능을 가진다.

<12> 그러나, 이러한 X-ray 검출기의 박막 트랜지스터 어레이 기판에서는 PIN 광 다이오드의 내부 및 표면에서 누설 전류가 발생하며, 특히 바이어스 전압을 인가하기 위한 바이어스 배선과 PIN 광 다이오드의 한 전극이 중첩하는 부분에서 많은 누설 전류가 발생한다. 또한, 박막 트랜지스터의 반도체층으로 입사하는 빛을 차단하기 위해 바이어스 배선과 동일한 층으로 광차단막을 형성해야하는데, 광차단막으로 인하여 반도체층의 상부에 기생 채널이 형성되어 누설 전류가 발생되며, 이로 인하여 박막 트랜지스터의 특성이 저하된다.

발명이 이루고자 하는 기술적 과제

<13> 본 발명에 과제는 이러한 문제점을 해결하기 위한 것으로서, 누설 전류를 최소화할 수 있는 X-ray 검출기용 박막 트랜지스터 어레이 기판을 제공하는 것이다.

발명의 구성 및 작용

<14> 이러한 과제를 해결하기 위한 본 발명에 따른 X-ray 검출기용 박막 트랜지스터 어레이 기판에는 PIN 광 다이오드를 막는 절연막을 4.0이하의 낮은 유전율을 가지는 화학 기상 증착막으로 형성하고, 그 상부에 PIN 다이오드의 상부 전극과 연결되어 있는 바이어스 배선을 형성하거나 박막 트랜지스터의 반도체층을 막는 광차단막을 형성한다.

<15> 더욱 상세하게, 본 발명에 따른 엑스레이 검출기용 박막 트랜지스터 어레이 기판에는, 절연 기판 위에 게이트선 및 게이트선에 연결되어 있는 게이트 전극을 포함하는 게이트 배선이 형성되어 있고, 이를 막는 게이트 절연막 상부에는 반도체층이 형성되어 있다. 게이트 절연막 상부에는 게이트선과 교차하여 화소 영역을 정의하는 데이터선, 데이터선과 연결되어 있으며 반도체층 상부까지 연장되어 있는 소스 전극 및 반도체층 상부에 위치하여 소스 전극과 분리되어 있는 드레인 전극을 포함하는 데이터 배선이 형성되어 있고, 화소 영역에는 드레인 전극과 연결되어 있는 하부 전극, 하부 전극 상부에 형성되어 있는 광 도전체층, 광 도전체층 상부에 형성되어 있는 상부 전극을 포함하는 광 다이오드가 형성되어 있다. 데이터 배선 및 광 다이오드는 4.0 이하의 유전율을 가지는 화학 기상 증착막으로 덮여 있으며, 그 상부에는 화학 기상 증착막의 제1 접촉 구멍을 통하여 상부 전극과 연결되어 있는 바이어스 배선이 형성되어 있다.

<16> 이때, 화학 기상 증착막 SiOF 또는 SiOP를 포함하며, 바이어스 배선과 동일한 층에 형성되어 데이터선과 중첩되어 있으며, 보호막의 제2 접촉 구멍을 통하여 데이터선과 연결되어 있는 보조 데이터선을 더 포함할 수 있다.

<17> 이때, 바이어스 배선과 동일한 층에 형성되어 데이터선과 중첩되어 있으며, 보호막의 제2 접촉 구멍을 통하여 데이터선과 연결되어 있는 보조 데이터선을 더 포함할 수 있으며, 보조 데이터선은 반도체층을 막는 둘출부를 가지는 것이 바람직하다.

<18> 또한, 광 도전체층은 N형의 불순물을 포함하는 N형의 도전체층, 불순물을 포함하지 않는 도전체층 및 P형의 불순물을 포함하는 P형의 도전체층을 포함하는 것이 바람직하다.

<19> 그러면 침부한 도면을 참고하여 본 발명에 따른 PIN 다이오드를 가지는 X-ray 검출기용 박막 트랜지스터 어레이 기판 및 그 제조 방법의 한 실시예를 본 발명이 속하는 기술 분야에서 통상의 기술을 가진 자가 용이하게

실시할 수 있을 정도로 상세히 설명한다.

- <20> 본 발명의 실시예에 따른 X-ray 검출기용 박막 트랜지스터 어레이 기판의 구조를 도 1 및 도 2를 참조하여 개략적으로 설명한다.
- <21> 도 1은 본 발명의 실시예에 따른 PIN 다이오드를 가지는 X-ray 검출기용 박막 트랜지스터 어레이 기판의 구조를 개략적으로 도시한 배치도이고, 도 2는 도 1에서 II-II' 선을 따라 절단한 단면도이다.
- <22> 도 1 및 도 2에서 보는 바와 같이, 절연 기판(10) 위에 저저항을 가지는 알루미늄 계열의 금속 물질로 이루어진 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 이중의 게이트선(22, 24) 및 게이트선(22)에 연결되어 있는 백막 트랜지스터의 게이트 전극(26)을 포함하며, 게이트선(22)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 페드를 포함할 수 있다. 또한, 게이트 배선은 이중의 게이트선(22, 24)을 연결하는 게이트선 연결부(28)를 포함하며, 이 경우에는 게이트선(22, 24)이 단선되는 것을 방지할 수 있다. 물론, 게이트선(22, 24)은 단일 배선의 구조를 취할 수도 있다.
- <23> 기판(10) 위에는 절화 규소(SiN_x) 따위로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26, 28)을 덮고 있다.
- <24> 게이트 전극(24)의 게이트 절연막(30) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(40)이 형성되어 있으며, 반도체층(40)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도포되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항 접촉층(55, 56)이 각각 형성되어 있다. 이 때, 반도체층(40)은 이후에 형성되는 데이터선(62)과 게이트 배선(22, 24)이 교차하는 부분까지 연장하여 형성하는 것이 바람직하다.
- <25> 저항 접촉층(55, 56) 및 게이트 절연막(30) 위에는 몰리브덴(Mo) 또는 몰리브렌(MoⅡ) 합금, 크롬(Cr), 탄탈늄(Ta), 티타늄(Ti) 등의 금속으로 이루어진 데이터 배선(62, 65, 66, 68)이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 게이트선(22)과 교차하여 화소를 정의하는 데이터선(62), 데이터선(62)의 분지이며 저항 접촉층(55)의 상부까지 연장되어 있는 소스 전극(65) 및 소스 전극(65)과 분리되어 있으며 게이트 전극(26)에 대하여 소스 전극(65)의 반대쪽 저항 접촉층(56) 상부에 형성되어 있는 드레인 전극(66)을 포함하며, 데이터선(62)의 한쪽 끝에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터 페드를 포함할 수 있다. 또한, 데이터 배선은 게이트 절연막(30) 상부의 화소에는 형성되어 있으며, 드레인 전극(66)과 연결되어 있는 PIN 광 다이오드의 하부 전극(68)을 포함한다.
- <26> 여기서, 데이터 배선(62, 65, 66, 68)은 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 알루미늄 계열의 도전 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하다. 그 예로는 Cr/AI(또는 AI 합금) 또는 AI/Mo 등을 들 수 있다.
- <27> PIN 광 다이오드의 하부 전극(68) 상부의 화소에는 N형의 불순물을 포함하는 비정질 규소층(71)과 불순물을 포함하지 않은 비정질 규소층(72)과 P형의 불순물을 포함하는 비정질 규소층(73)으로 이루어진 광 도전체층(70)이 형성되어 있다. 이러한 광 도전체층(70)은 외부에서 조사되는 빛에 의해 전자나 전洞을 생성하는 기능을 가진다.
- <28> 광 도전체층(70)의 상부에는 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등과 같이 투명한 도전 물질로 이루어진 PIN 광 다이오드의 상부 전극(80)이 형성되어 있다.
- <29> 여기서, 하부 전극(68), 광 도전체층(70) 및 상부 전극(80)은 PIN 광 다이오드를 이룬다.
- <30> 데이터 배선(62, 65, 66, 68), 이들이 가지지 않는 반도체층(40) 및 상부 전극(80)의 상부에는 4.0이하의 낮은 유전율을 가지는 절연 물질로 이루어진 화학 기상 증착막(90)이 형성되어 있다. 이 때, 화학 기상 증착막(90)은 SiOC 또는 SiOF를 포함하며, 1μm 이상의 두께를 가진다. 통상적으로 절화 규소 또는 산화 규소는 기판에 전달되는 응력으로 인하여 5000 Å 이상의 두께를 가지기 어려워 PIN 광 다이오드의 단자를 흡수하기가 어려워 이후에 형성되는 다른 박막의 구조가 위약해진다. 또한 절화 규소나 산화 규소는 높은 유전율을 가지고 있어 난설 전류가 발생하는 원인으로 사용된다. 이러한 여러 가지 문제점을 개선하기 위해 유기 절연 물질을 이용하여 충간 절연막으로 사용할 수 있으나 유기 절연 물질은 접착력이 약하여 이후에 형성되는 다른 박막이 벌어지는 문제점을 가지고 있다. 하지만, 본 발명의 실시예에서와 같이 SiOC 또는 SiOF로 이루어진 화학 기상 증착막(90)은 유기 물질을 사용하지 않더라도 낮은 유전율을 가지는 동시에 1μm 이상의 두께를 가질 수 있어 이후에 형성되는 다른 박막의 프로파일(profile)을 개선할 수 있다. 또한 이러한 화학 기상 증착막(90)은 우수한 접착성을 가지고 있어 이후에 형성되는 다른 박막이 유실되는 것을 방지할 수 있다.

- <31> 화학 기상 증착막(90)에는 테이터선(62) 및 상부 전극(80)을 각각 드러내는 접촉 구멍(92, 94)이 형성되어 있다.
- <32> 화학 기상 증착막(90)의 상부에는 접촉 구멍(94)을 통하여 상부 전극(80)과 연결되어 있으며 세로 방향으로 형성되어 있는 바이어스 배선(104)이 형성되어 있으며, 접촉 구멍(92)을 통하여 테이터선(62)과 연결되어 있으며 테이터선(62)과 중첩되어 있는 보조 테이터선(102)이 형성되어 있다. 여기서, 바이어스 배선(104)은 광 도전체층(70)에 생성되어 있는 절자나 전공을 제이할 수 있는 바이어스 전압을 상부 전극(80)에 전달하는 기능을 가지며, 보조 테이터선(102)은 테이터선(62)이 단선되는 것을 방지하는 기능을 가지는 동시에 박막 트랜지스터의 반도체층(40)으로 일사하는 빛을 차단하기 위한 광차단막으로 사용되는 둘둘부(112)를 가진다.
- <33> 이러한 본 발명의 실시예에 따른 PIN 다이오드를 가지는 X-ray 검출기용 박막 트랜지스터 기판에서는 바이어스 배선(104)이 4.0 이하의 낮은 유전율을 가지는 화학 기상 증착막(90)의 상부에 형성되어 있어, 바이어스 배선(104)과 PIN 광 다이오드 사이에서 발생하는 누설 전류를 최소화할 수 있으며, 반도체층(40)의 상부 계면에서 발생하는 누설 전류를 최소화할 수 있어 박막 트랜지스터의 특성을 확보할 수 있다.
- <34> 다음은, 이러한 본 발명의 실시예에 따른 엑스레이 검출기용 박막 트랜지스터 기판의 제조 방법에 대하여 도면을 참조하여 설명하기로 한다.
- <35> 도 3a, 4a, 5a, 6a, 7a 및 8a는 본 발명의 실시예에 따른 박막 트랜지스터 기판을 제조하는 중간 과정에서의 박막 트랜지스터 기판의 배치도이고, 도 3b는 도 3a에서 IIb-IIb' 선을 따라 절단한 단면도이고, 도 4b는 도 4a에서 IVb-IVb' 선을 따라 잘라 도시한 도면으로서 도 3b의 다음 단계를 도시한 단면도이고, 도 5b는 도 5a에서 Vb-Vb' 선을 따라 잘라 도시한 도면으로서 도 4b의 다음 단계를 도시한 단면도이고, 도 6b는 도 6a에서 VIIb-VIIb' 선을 따라 잘라 도시한 도면으로서 도 5b의 다음 단계를 도시한 단면도이고, 도 7b는 도 7a에서 VIIib-VIIib' 선을 따라 잘라 도시한 도면으로서 도 6b의 다음 단계를 도시한 단면도이고, 도 8b는 도 8a에서 VIIIib-VIIIib' 선을 따라 잘라 도시한 도면으로서 도 7b의 다음 단계를 도시한 단면도이다.
- <36> 먼저, 도 3a 및 도 3b에 도시한 바와 같이, 기판(10) 위에 저저항을 가지는 알루미늄 네오디뮴(Al-Nd) 합금 타겟(target)을 장착한 스퍼터링 쟈버(sputtering chamber)에서 아르곤 기체를 주입하면서 스퍼터링을 실시하여 2,500Å 정도의 두께로 알루미늄 네오디뮴 합금의 게이트 배선용 도전막을 적층하고 패터닝하여 이중의 게이트 선(22, 24), 게이트 전극(26) 및 게이트선 연결부(28)를 포함하는 게이트 배선을 형성한다.
- <37> 다음, 도 4a 및 도 4b에 도시한 바와 같이, 게이트 절연막(30), 비정질 규소층(50)의 삼층막을 연속하여 적층하고 마스크를 이용한 패터닝 공정으로 반도체층(40)과 도핑된 비정질 규소층(50)을 패터닝하여 게이트 전극(26)과 마주하는 게이트 절연막(30) 상부에 반도체층(40)과 저항 접촉층(50)을 형성한다.
- <38> 다음, 도 5a 및 도 5b에 도시한 바와 같이, 물리브랜 또는 물리브랜 텅스텐 합금 또는 크롬 또는 저저항을 가지는 알루미늄 네오디뮴 합금으로 이루어진 테이터 배선용 도전막을 2,500Å 정도의 두께로 차례로 적층한 다음, 마스크를 이용한 사전 공정으로 패터닝하여 게이트선(22, 24)과 교차하는 테이터선(62), 테이터선(62)과 연결되어 게이트 전극(26) 상부까지 연장되어 있는 소스 전극(65) 및 소스 전극(65)과 분리되어 있으며 게이트 전극(26)을 중심으로 소스 전극(66)과 마주하는 드레인 전극(66) 및 드레인 전극(66)과 연결되어 있는 PIN 광 다이오드의 하부 전극(68)을 포함하는 테이터 배선을 형성한다.
- <39> 이어, 테이터 배선(62, 65, 66, 68)으로 가리지 않는 도핑된 비정질 규소층 패턴(50)을 삭각하여 게이트 전극(26)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(55, 56) 사이의 반도체층 패턴(40)을 노출시킨다.
- <40> 도 6a 및 도 6b에서 보는 바와 같이, PIN 광 다이오드의 하부 전극(68) 상부의 화소에 N형의 불순물을 포함하는 비정질 규소층(71)과 불순물을 포함하지 않은 비정질 규소층(72)과 P형의 불순물을 포함하는 비정질 규소층(73)을 차례로 적층하고 패터닝하여 광 도전체층(70)을 형성한다.
- <41> 이어, 도 7a 및 도 7b에서 보는 바와 같이, IZO 또는 ITO 등과 같은 도전 물질을 적층하고 마스크를 이용한 패터닝을 실시하여 PIN 광 다이오드의 상부 전극(80)을 형성한다.
- <42> 다음으로, 도 8a 및 도 8b에 도시한 바와 같이, 트리 메틸 실란(tri-methyl silane)을 이용한 화학 기상 증착방법을 이용하여 화학 기상 증착막(90)을 형성한 다음, 마스크를 이용한 사전 식각 공정으로 소스 전극(65) 또는 테이터선(62) 및 PIN 광 다이오드의 상부 전극(80)을 드러내는 접촉 구멍(92, 94)을 형성한다. 이때, 화학 기

상 중착막(90)은 4.0이하의 낮은 유전율을 가지며 SiOC 또는 SiOF를 포함한다. 이러한 화학 기상 중착막(90)은 1μm 이상의 두께를 가질 수 있어 이후에 형성되는 다른 박막의 프로파일(profile)을 개선할 수 있다. 또한 이러한 화학 기상 중착막(90)은 우수한 접착성을 가지고 있어 이후에 형성되는 다른 박막이 유실되는 것을 방지할 수 있다. 또한, 낮은 유전율을 가지므로 화학 기상 중착막(90)과 접하는 PIN 다이오드의 계면에서 발생하는 누설 전류를 감소시킬 수 있으며, 소스 및 드레인 전극(65, 66)과 이후에 형성되는 보조 데이터선(102)의 둘출부(112) 사이의 기생 용량으로 인하여 반도체층(40)의 상부 계면에서 발생하는 누설 전류를 최소화할 수 있어 박막 트랜지스터의 특성을 확보할 수 있다.

- <43> 이때, 화학 기상 중착막(90)을 증착하기 전에 드리난 반도체층(40)의 표면을 안정화하기 위하여 산소 또는 질소 또는 암모니아를 이용하는 플라스마 공정을 실시할 수 있으며, 화학 기상 중착막(90)의 하부에 질화 규소 또는 산화 규소로 이루어진 보호막을 추가로 형성할 수도 있다. 여기서, 유기 절연막을 형성하는 경우에는 보호막을 추가로 형성하고 접촉 구멍(92, 94)을 형성할 때 두 번의 식각 공정이 필요하나 본 발명에서와 같이 화학 기상 중착막(90)을 이용하는 경우에는 보호막을 추가로 형성하더라도 한번의 식각 공정으로 접촉 구멍(92, 94)을 완성할 수 있다.
- <44> 이어, 도 1 및 도 2에서 보는 바와 같이, 화학 기상 중착막(90)의 상부에 배선용 도전 물질을 적층하고 페터닝하여 접촉 구멍(94)을 통하여 상부 전극(80)과 연결되며 세로 방향으로 바이어스 배선(104)을 형성한다. 이때, 접촉 구멍(92)을 통하여 데이터선(62)과 연결되어 있으며 데이터선(62)과 중첩되어 있는 보조 데이터선(102)을 함께 형성하는 동시에 광차단막으로 사용되는 둘출부(112)도 함께 형성한다.

발명의 효과

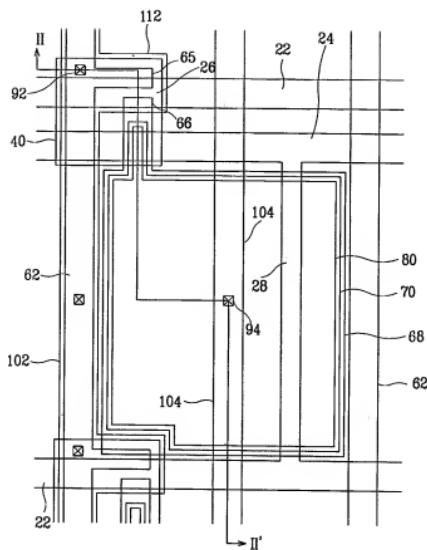
따라서, 본 발명에 따른 박막 트랜지스터 어레이 기판에서는 바이어스 배선 및 광차단막과 PIN 광 다이오드 및 반도체층 사이에 낮은 유전율을 가지는 화학 기상 중착막을 형성함으로써 이를 사이에서 발생하는 누설 전류를 최소화할 수 있어 박막 트랜지스터의 특성을 확보할 수 있다. 또한, 유기 절연막과 달리 화학 기상 중착막은 우수한 접착성을 가지고 있어 그 상부 또는 하부에 형성되는 박막이 떨어지는 것을 방지할 수 있다.

도면의 간접한 설명

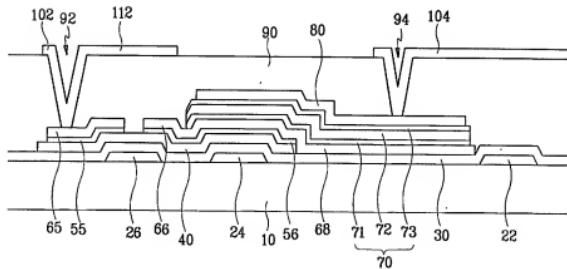
- <1> 도 1은 본 발명의 실시예에 따른 PIN 광 다이오드를 포함하는 X-ray 검출기용 박막 트랜지스터 어레이 기판의 구조를 도시한 배치도이고,
- <2> 도 2는 도 1에서 II-II' 선을 따라 절단한 단면도이고,
- <3> 도 3a, 4a, 5a, 6a, 7a 및 8a는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 중간 과정에서의 박막 트랜지스터 기판의 배치도이고,
- <4> 도 3b는 도 3a에서 IIIb-IIIb' 선을 따라 절단한 단면도이고,
- <5> 도 4b는 도 4a에서 IVb-IVb' 선을 따라 잘라 도시한 도면으로서 도 3b의 다음 단계를 도시한 단면도이고,
- <6> 도 5b는 도 5a에서 Vb-Vb' 선을 따라 잘라 도시한 도면으로서 도 4b의 다음 단계를 도시한 단면도이고,
- <7> 도 6b는 도 6a에서 VIIb-VIIb' 선을 따라 잘라 도시한 도면으로서 도 5b의 다음 단계를 도시한 단면도이고,
- <8> 도 7b는 도 7a에서 VIIIB-VIIIB' 선을 따라 잘라 도시한 도면으로서 도 6b의 다음 단계를 도시한 단면도이고,
- <9> 도 8b는 도 8a에서 VIIIb-VIIIb' 선을 따라 잘라 도시한 도면으로서 도 7b의 다음 단계를 도시한 단면도이다.

도면

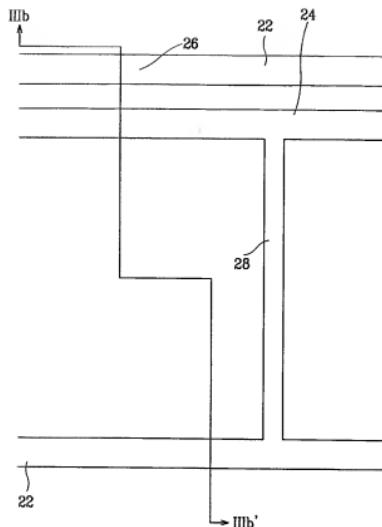
도면1



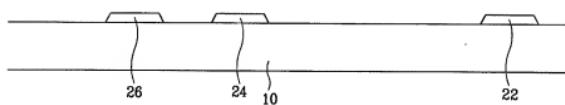
도면2



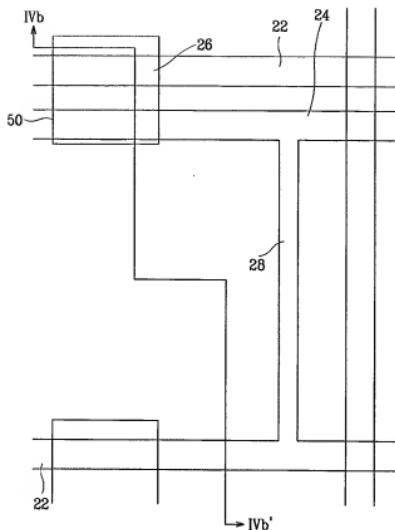
도면3a



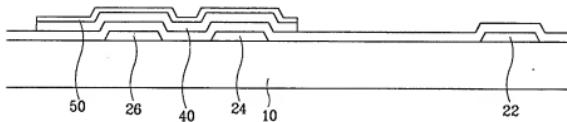
도면3b



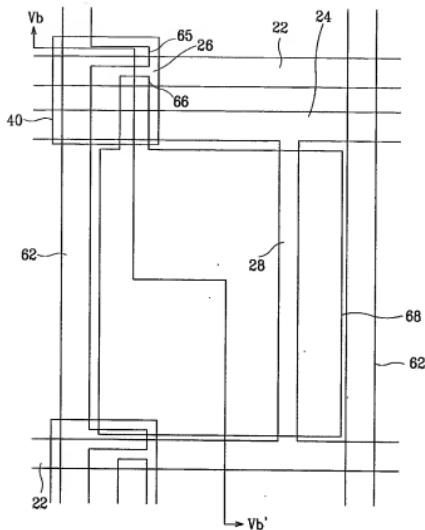
도면4a



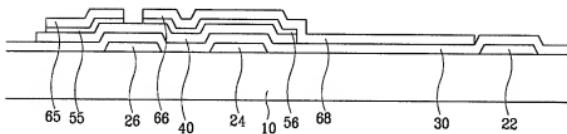
도면4b



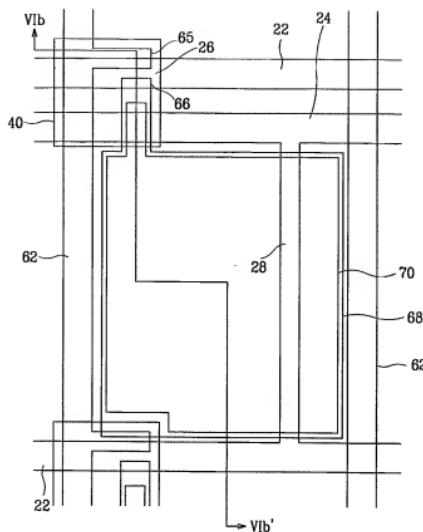
도면5a



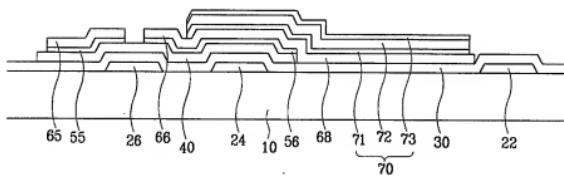
도면5b



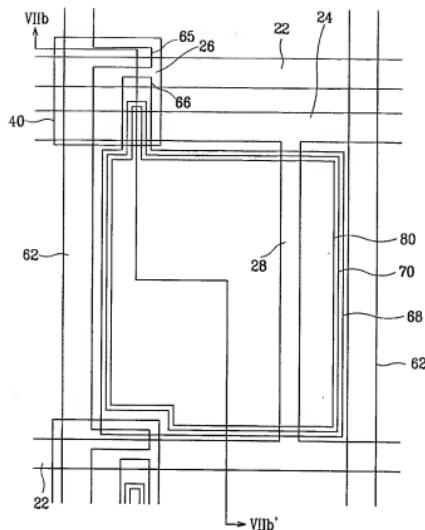
도면 6a



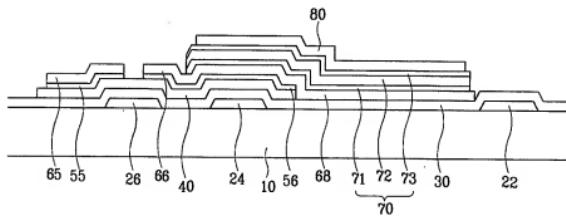
도면 6b



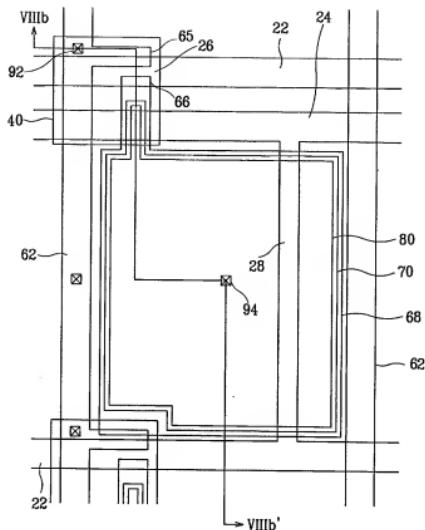
도면7a



도면7b



도면8a



도면8b

